Prior Art Analysis & Claim Adjustment Report

สำหรับสิทธิบัตร: PT-NPU (Parallel Temporal-Logic Neuromorphic Processing Unit)

---

1. ภาพรวมผลการค้นหา (Search Summary)

แหล่งค้นหา	จำนวนผลลัพธ์	ช่วงเวลา
USPTO / Google Patents	15+	2018-2025
Patents-Review	8	2024-2025
WIPO (PCT)	5	2023-2025
EPO (Espacenet)	3	2018-2024

---

2. วิเคราะห์ Prior Art แยกตามองค์ประกอบ

2.1 Predictive Integrate-and-Fire (PIF) — ไม่พบ Prior Art

เอกสาร	สิ่งที่ครอบคลุม	PIF ต่างอย่างไร
US20250284939A1 — SNN with LIF	LIF model, integrate-and-fire, comparator + threshold	**ไม่มีการคำนวณ derivative** ไม่มีการพยากรณ์ล่วงหน้า
US10762419B2 — Digital STDP + LIF	LIF neuron แบบ digital register-based	**ไม่มี derivative calculation**, ไม่มี pre-emptive spike

เอกสาร	สิ่งที่ครอบคลุม	PIF ต่างอย่างไร
WO2024153705A1 — Self-timed mixed-signal neurons	Self-timed LIF, pulse latching, weight accumulation	**ไม่มี dV/dt หรือ d^2V/dt^2**, ไม่มี Predictive Logic
US20250292072A1 — FeFET-based LIF	FeFET LIF neuron, firing rate adjustment	**ใช้ LIF แบบดั้งเดิม**, ปรับ threshold ได้ แต่ไม่พยากรณ์
EP3293681A1 — Spatio-temporal SNN	Temporal synapse circuits, STDP	**ใช้เวลาเป็นพารามิเตอร์学習**, ไม่ใช่ฮาร์ดแวร์ derivative
US20200401876A1 — Growth Transform SNN	Energy-minimization based spiking	**ไม่มี pre-emptive firing**, ไม่มี second derivative

สรุป: PIF mechanism (การคำนวณ dV/dt + d^2V/dt^2 + Predictive Fire Logic + Pre-emptive Spike) = Novel ★★★

2.2 3D Monolithic Memristor + CMOS BEOL Integration

เอกสาร	สิ่งที่ครอบคลุม	ข้อแตกต่าง
US20250348727A1 — Memristor autoencoder	2D crossbar, autoencoder topology	**2D**, ไม่ซ้อนชั้น, ไม่มี BEOL monolithic
US20250278621A1 — Memristor convolution	2D crossbar, 3-terminal memristor	**2D array**, convolution อย่างเดียว
US20240420762A1 — Non-ideality compensation	2D crossbar, compensation circuit	**ไม่มีการซ้อน 3D**, แก้ปัญหา drift
US20250169081A1 — Memristor structure	1T1R cell, symmetric read	**ระดับ cell**, ไม่พูดถึง integration กับ CMOS
US20250149087A1 — Crossbar disturbance reduction	1T1R, programming method	**ระดับ cell/crossbar**, ไม่มี system-level stack
WO20250272550A1 — STDP with memristor	STDP + memristor + LIF	**ไม่มี 3D stacking**, ใช้ LIF ไม่ใช่ PIF

สรุป: การซ้อน 3D Memristor Crossbar แบบ monolithic BEOL บน CMOS base = Novel (บางส่วน) ★★☆ - ข้อควรระวัง: มี prior art เรื่อง 2D crossbar integration กับ CMOS (เช่น US20190147552) - **จุดต่าง**: 3D stacking (4-16 layers) + monolithic BEOL = novel combination

2.3 Asynchronous AER Routing + Power Gating

เอกสาร	สิ่งที่ครอบคลุม	ข้อแตกต่าง
US10489672B2 — Intel Loihi	Asynchronous SNN, AER	**ใช้ SRAM weights**, ไม่ใช่ memristor
US9558428B2 — IBM TrueNorth	Crossbar + LIF	**มี clock**, ไม่ใช่ fully asynchronous

สรุป: AER Routing มีมาก่อน (Loihi/TrueNorth) แต่ Power Gating + Memristor Specific = Novel combination ★★☆

2.4 Hardware Security สำหรับ Neuromorphic

เอกสาร	สิ่งที่ครอบคลุม	ข้อแตกต่าง
ไม่พบ — Neuromorphic-specific hardware security	—	**ไม่มี prior art เฉพาะด้านนี้**
มีเฉพาะ general IC security (PUF, anti-tamper)	PUF, mesh สำหรับ memory ทั่วไป	**ไม่มี decoy spike + neuromorphic**

สรุป: Neuromorphic-specific hardware security (decoy spike + PUF routing + power noise + anti-tamper mesh สำหรับ memristor erase) = Novel ★★★

---

3. ปรับภาษา Claims (Narrowing/Broadening) ตาม Prior Art

✅ Claim 1 (Hardware Architecture) — คงเดิม (broad enough)

- ใช้ภาษา "CMOS base layer + at least one memristive layer BEOL + asynchronous routing" → แยกจาก prior art ที่ใช้ 2D crossbar + LIF

- เพิ่มคำว่า "monolithically integrated" และ "BEOL processed" เพื่อแยกจาก prior art ที่ใช้ separate die/chiplet

✅ **Claim 2 (PIF) — คงเดิม (specific enough)**

- สมการ V_pred มี $\alpha \cdot dV/dt + \beta \cdot d^2V/dt^2$ → แยกจาก prior art ที่ไม่มี derivative ชัดเจน

⚠️ **Claim 5 (3D Crossbar) — ปรับให้แคบลง**

- จาก "4-16 layers" → "at least 4 layers" (ป้องกัน prior art ที่มี 2D, ต้องการ minimum threshold)
- เพิ่ม "monolithic" → "monolithically integrated using Back-End-Of-Line processing without intervening substrate"

⚠️ **Claim 6 (STDP) — คงเดิม (prior art มีทั่วไป)**

- ข้อนี้ common ใน neuromorphic → dependent claim ที่แคบอยู่แล้ว

✅ **Claim 10 (Security) — คงเดิม (novel)**

- Decoy spike + PUF + power noise + anti-tamper → ไม่มี prior art ตรงๆ

🔥 **เพิ่มข้อถือสิทธิใหม่ เพื่อป้องกัน prior art ที่พบ:**

Claim 16 (New — Differentiator-based PIF circuit) "A PIF neuron circuit comprising: a first differentiator configured to compute a first derivative dV/dt of a membrane potential; a second differentiator configured to compute a second derivative d^2V/dt^2 of said membrane potential; and a Predictive Fire Logic circuit configured simultaneously with said first differentiator and said second differentiator to compare $V_mem + \alpha \cdot dV/dt + \beta \cdot d^2V/dt^2$ against a threshold."

Claim 17 (New — Decoy spike specifically for neuromorphic) "The security system of claim 10, wherein said decoy spike generator is configured to generate pseudo-random spike trains whose statistical distribution of inter-spike intervals matches a Poisson or gamma distribution of genuine

neural activity, rendering decoy spikes indistinguishable from genuine spikes under oscilloscope, logic analyzer, or power trace analysis.”

---

4. ความแข็งแรงของสิทธิบัตรโดยรวม

Component	Novelty	Inventive Step	Prior Art Risk
PIF Predictive Firing	★★★ High	★★★ High	Low — no prior art
3D Monolithic Memristor	★★☆ Med-High	★★☆ Med	Medium — 2D crossbar exists
AER + Power Gating	★★☆ Med	★☆☆ Low-Med	Med-High — Loihi/TrueNorth exist
Hardware Security (Neuromorphic)	★★★ High	★★★ High	Low — no prior art
Dual-Mode Firing	★★★ High	★★★ High	Low — no prior art
Fabrication Method	★★☆ Med	★★☆ Med	Medium — general BEOL exists

5. กลยุทธ์การยื่น

1. **เร่งยื่นก่อน competitor** — PIF + Security มี novelty สูงมาก
2. **ยื่น US Provisional ก่อน** — ให้ priority date เร็ว
3. **แยกยื่น 2-3 ฉบับ**: (1) PIF Neuron Circuit (Method + Device) (2) 3D Neuromorphic Architecture (3) Security System
4. **เพิ่ม simulation results** เพื่อ support inventive step และ utility